

DIALOG(R)File 352:DERWENT WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

010955877 **Image available**

WPI Acc No: 1996-452827/199645

Related WPI Acc No: 2000-263214; 2000-278989

XRAM Acc No: C96-141924

XRPX Acc No: N96-381948

Insulated gate type thin film semiconductor device prodn. for active matrix type LCD - involves forming gate electrode across semiconductor film, by etching part of it about 10 microns or more

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME); SEMICONDUCTOR ENERGY LAB CO LTD (SEME)

Inventor: KUSUMOTO N; YAMAZAKI S

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8228006	A	19960903	JP 9556481	A	19950221	199645 B
US 5953597	A	19990914	US 96604547	A	19960221	199944

Priority Applications (No Type Date): JP 9556481 A 19950221

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 8228006	A	10	H01L-029/786	
US 5953597	A		H01L-021/00	

Abstract (Basic): JP 8228006 A

The method involves etching of amorphous semiconductor film, so that width of narrow part of convex shaped semiconductor area (11) is 100 micrometer or less.

The semiconductor area carries out optical annealing by irradiating light. Then, the inner peripheral part of the semiconductor film is crystallized. A part of the semiconductor film is etched about 10 micrometers or more and forms gate electrode (16) across it.

ADVANTAGE - Improves reliability. Reduces deterioration of insulated gate type semiconductor device.

Dwg. 1/11

Title Terms: INSULATE; GATE; TYPE; THIN; FILM; SEMICONDUCTOR; DEVICE;
PRODUCE; ACTIVE; MATRIX; TYPE; LCD; FORMING; GATE; ELECTRODE;
SEMICONDUCTOR; FILM; ETCH; PART; MICRON; MORE

Derwent Class: L03; U11; U12; U14

International Patent Class (Main): H01L-021/00; H01L-029/786

International Patent Class (Additional): H01L-021/20; H01L-021/268;
H01L-021/336; H01L-021/84

File Segment: CPI; EPI

05272506 **Image available**

MANUFACTURE OF INSULATED-GATE TYPE THIN FILM SEMICONDUCTOR DEVICE

PUB. NO.: 08-228006 [JP 8228006 A]

PUBLISHED: September 03, 1996 (19960903)

INVENTOR(s): KUSUMOTO NAOTO
YAMAZAKI SHUNPEI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company
or Corporation), JP (Japan)

APPL. NO.: 07-056481 [JP 9556481]

FILED: February 21, 1995 (19950221)

INTL CLASS: [6] H01L-029/786; H01L-021/336; H01L-021/20; H01L-021/268

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096
(ELECTRONIC MATERIALS -- Glass Conductors); R100 (ELECTRONIC
MATERIALS -- Ion Implantation)

ABSTRACT

PURPOSE: To obtain an insulated-gate type thin film semiconductor device, which is little deteriorated the characteristics, by a method wherein an amorphous semiconductor film is etched into specified first forms to form insular semiconductor regions and after a photo annealing is performed on the insular semiconductor regions to crystallize the insular semiconductor regions or to increase the crystallinity of the insular semiconductor regions, the specified parts of the insular semiconductor regions are etched to form second forms of semiconductor regions.

CONSTITUTION: An amorphous semiconductor film is etched into first forms, whose narrowest parts are less than 100. μm in width (b), to form insular semiconductor regions 11. Then, a photo annealing is performed on the regions 11 to crystallize the regions 11 or to increase the crystallizability of the regions 11. Then, parts, on which at least a gate electrode 16 or a channel is formed, of the end parts 14 of the regions 11 are etched in a width of 10. μm or wider from the end parts 14 to form second forms of semiconductor regions 15. After that, a gate insulating film, for example, is formed in such a way as to cover the regions 15 and after the gate electrodes 16 are formed in such a way as to cover the etched parts of the regions 15, impurities are introduced in the amorphous semiconductor film using the electrodes 16 as masks.

?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-228006

(43) 公開日 平成8年(1996)9月3日

(51) Int. Cl. ⁶

識別記号

F I

H01L 29/786

H01L 29/78

618

A

21/336

21/20

21/20

21/268

Z

21/268

29/78

618

C

627

G

審査請求 未請求 請求項の数 9 F D (全10頁)

(21) 出願番号

特願平7-56481

(22) 出願日

平成7年(1995)2月21日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 楠本 直人

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 山崎 舜平

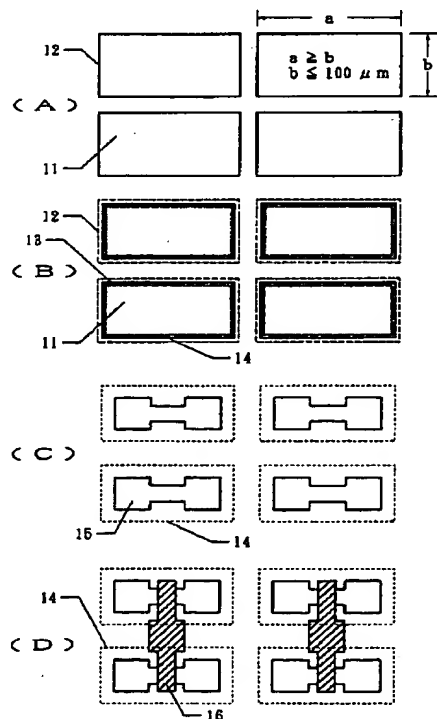
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 絶縁ゲイト型薄膜半導体装置の作製方法

(57) 【要約】

【目的】 光アニールによって結晶化させた半導体被膜を用いて作製される薄膜トランジスタの特性、信頼性等を向上させる。

【構成】 非晶質半導体膜をその最も狭い部分の幅が $100\mu\text{m}$ 以下になるようにエッチングし、島状半導体領域を形成する。そして、これにレーザー等の強光を照射することにより光アニールを施し、結晶化させる。その後、前記半導体膜の端部(周辺部)のうち、少なくとも薄膜トランジスタのチャネルを形成する部分、もしくはゲイト電極の横断する部分をエッチングする。



【特許請求の範囲】

【請求項1】 非晶質半導体膜を、その最も狭い部分の幅が $100\mu\text{m}$ 以下である第1の形状にエッチングし、島状半導体領域を形成する工程と、前記半導体領域に光アニールを施して、結晶化せしめる、もしくは、結晶性を高める工程と、前記半導体領域の端部のうち、少なくとも半導体装置のゲート電極もしくはチャネルを形成する部分を端から $10\mu\text{m}$ 以上エッチングして、第2の形状の半導体領域を形成する工程と、を有することを特徴とする絶縁ゲイト型薄膜半導体装置の作製方法。

【請求項2】 非晶質半導体膜を、その最も狭い部分の幅が $100\mu\text{m}$ 以下である第1の形状にエッチングし、島状半導体領域を形成する工程と、前記半導体領域に光アニールを施して、結晶化せしめる、もしくは、結晶性を高める工程と、前記半導体領域の端部の一部もしくは全部をエッチングする工程と、前記半導体領域を覆って、ゲート絶縁膜を形成する工程と、前記半導体領域の端部のうち、エッチングされた部分を横切ってゲート電極を形成する工程と、前記ゲート電極をマスクとしてN型もしくはP型不純物を導入する、もしくは拡散する工程と、を有することを特徴とする絶縁ゲイト型薄膜半導体装置の作製方法。

【請求項3】 請求項1または請求項2において、第1の形状は長方形、正多角形、長円形のいずれかであることを特徴とする絶縁ゲイト型薄膜半導体装置の作製方法。

【請求項4】 請求項1または請求項2において、第1の形状はいかなる点においても凹でないことを特徴とする絶縁ゲイト型薄膜半導体装置の作製方法。

【請求項5】 請求項1または請求項2において、島状半導体領域には、実質的に結晶粒界が存在していないことを特徴とする絶縁ゲイト型薄膜半導体装置の作製方法。

【請求項6】 請求項1または請求項2において、島状半導体領域は、その端部から徐々に結晶成長が行われることによって実質的に結晶粒界の存在しない領域として形成されることを特徴とする絶縁ゲイト型薄膜半導体装置の作製方法。

【請求項7】 請求項1または請求項2において、島状半導体領域は、その端部からレーザー光が走査されて照射されることによって、実質的に結晶粒界の存在しない領域として形成されることを特徴とする絶縁ゲイト型薄膜半導体装置の作製方法。

【請求項8】 請求項1または請求項2において、島状半導体領域は、

単結晶と見なせる領域または実質的に単結晶と見なせる領域で構成されていることを特徴とする絶縁ゲイト型薄膜半導体装置の作製方法。

【請求項9】 請求項8において、単結晶と見なせる領域または実質的に単結晶と見なせる領域は、

結晶粒界が実質的に存在しておらず、

かつ、点欠陥を中和するための水素またはハロゲン元素を $1 \times 10^{16} \sim 1 \times 10^{20}$ 原子 cm^{-3} の濃度で含んでおり、

かつ、炭素および窒素の原子を $1 \times 10^{16} \sim 5 \times 10^{18}$ 原子 cm^{-3} の濃度で含んでおり、

かつ、酸素の原子を $1 \times 10^{17} \sim 5 \times 10^{19}$ 原子 cm^{-3} の濃度で含んでいることを特徴とする絶縁ゲイト型薄膜半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本明細書で開示する発明は、結晶性を有する薄膜半導体を用い、かつ、ゲート電極を有する半導体装置、例えば、薄膜トランジスタの作製方法に関する。薄膜トランジスタの応用範囲としては、アクティブマトリクス型の液晶表示装置が知られている。これは、マトリクス状に配置された数十万以上の画素のそれぞれにスイッチング素子として薄膜トランジスタを配置し、微細で高精細の表示をおこなうものである。

【0002】

【従来の技術】 近年、ガラスや石英基板上に形成された薄膜半導体を用いたトランジスタ（薄膜トランジスタやTFTと称される）が注目されている。これは、ガラス基板や石英基板の表面に数百～数千Åの厚さを有する薄膜半導体を形成し、この薄膜半導体を用いてトランジスタ（絶縁ゲイト型電界効果トランジスタ）を形成する技術である。

【0003】 このような薄膜トランジスタは、非晶質珪素（アモルファスシリコン）薄膜を用いたものと結晶性珪素を用いたものが実用化されている。結晶性珪素を用いた薄膜トランジスタは特性が優れているため、将来性が期待されている。現在、実用化されている結晶性珪素半導体を用いた薄膜トランジスタでは、結晶性珪素薄膜は非晶質珪素薄膜を熱アニールする方法、もしくは、直接、結晶性珪素膜を気相成長法によって成膜する方法によって得られている。しかしながら、プロセスの低温化という点ではレーザー等の強光を照射することによって、非晶質珪素膜を結晶化せしめる光アニール法が有望とされている。（例えば、特開平4-37144）

【0004】 光アニールによって結晶性半導体薄膜を得る場合には大きく分けて2つの方法がある。第1の方法は半導体薄膜を形成する素子の形状にエッチングしてから光アニールする方法である。他の方法は平坦な膜を光アニールしたのち、形成する素子の形状にエッチングす

10

20

30

40

50

る方法である。一般に前者の方が後者よりも良好な特性（特に電界効果移動度）が得られることが知られていた。これは前者の方法では、光アニールの結果、膜が収縮し、パターンの中央部に応力が加わるためであると推定されている。

【 0 0 0 5 】

【発明が解決しようとする課題】しかしながら、この場合にも問題は存在する。すなわち、初期特性は良いものの、長時間使用するにしたがって、急激に特性が悪化するという問題である。

【 0 0 0 6 】従来の方法によって特性の劣化が生じた原因を図 3 を用いて説明する。最初、図 3 (A) に示されるような長方形 3 2 の非晶質珪素の島状半導体領域 3 1 を形成したとする。これを光アニールすると結晶化によって膜が僅かだが収縮する（図の点線は光アニール前の島状半導体領域の大きさを示す）。また、この収縮過程において、島状領域領域の外周部に歪みが蓄積した領域 3 3 が形成される。このような領域 3 3 の結晶性はそれほど良好なものではない。（図 3 (B)）

【 0 0 0 7 】このような島状領域を横断してゲイト電極 3 4 を形成した場合（図 3 (C)）には、図 3 (D) にそのゲイト電極に沿った（a - b）断面を示すように、ゲイト電極 3 4 およびゲイト絶縁膜 3 5 の下に歪みの蓄積した領域 3 3 が存在することとなる。ゲイト電極に電圧を印加すると、領域 3 3 とゲイト絶縁膜 3 5 の界面特性が良好でないために電荷がトラップされるようになり、この電荷による寄生チャネル等によって劣化が発生する。（図 3 (D)）

【 0 0 0 8 】本発明はこのような特性の劣化に鑑みてなされたものであり、劣化の少ない絶縁ゲイト型半導体装置の作製方法を提供することを目的とする。

【 0 0 0 9 】

【課題を解決するための手段】本発明の第 1 は以下のような工程を有する。

(1) 非晶質半導体膜を、その最も狭い部分の幅が $100\mu\text{m}$ 以下である第 1 の形状にエッチングし、島状半導体領域を形成する工程

(2) 前記半導体領域に光アニールを施して、結晶化せしめる、もしくは、結晶性を高める工程

(3) 前記半導体領域の端部（もしくは周辺部）のうち、少なくとも半導体装置のゲイト電極もしくはチャネルを形成する部分を端から $10\mu\text{m}$ 以上エッチングして、第 2 の形状の半導体領域を形成する工程

【 0 0 1 0 】また、本発明の第 2 は以下のような工程を有する。

(1) 非晶質半導体膜を、その最も狭い部分の幅が $100\mu\text{m}$ 以下である第 1 の形状にエッチングし、島状半導体領域を形成する工程

(2) 前記半導体領域に光アニールを施して、結晶化せしめる、もしくは、結晶性を高める工程

(3) 前記半導体領域の端部（もしくは周辺部）の一部もしくは全部をエッチングする工程

(4) 前記半導体領域を覆って、ゲイト絶縁膜を形成する工程

(5) 前記半導体領域の端部のうち、エッチングされた部分を横切ってゲイト電極を形成する工程

(6) 前記ゲイト電極をマスクとして N 型もしくは P 型不純物を導入する、もしくは拡散する工程

【 0 0 1 1 】上記本発明の第 1 および第 2 において、第 1 の形状は長方形、正多角形、長円形（円を含む）のいずれか、より、一般的には、外周上のいかなる点においても凹でない形状であると好ましい。

【 0 0 1 2 】上記構成において、非晶質半導体膜は、ガラス基板や石英基板等の絶縁表面を有する基板上に形成される。非晶質珪素膜は、プラズマ CVD 法や減圧熱 CVD 法で形成される。また、光アニールには、KrF エキシマレーザー（波長 248nm ）や XeCl エキシマレーザー（波長 308nm ）等の各種エキシマレーザーや Nd : YAG レーザー（波長 1064nm ）やその第 2 高調波（波長 532nm ）、同第 3 高調波（波長 355nm ）等を用いればよい。本発明では、光源がパルス発振でも連続発振でもよい。また、特開平 6 - 3 1 8 7 0 1 に開示されるがごとく、光アニールに際して、珪素の結晶化を助長する金属元素（例えば、Fe、Co、Ni、Pd、Pt 等）を利用して、結晶化を促進せしめてもよい。

【 0 0 1 3 】また本明細書で開示する発明は、島状の半導体領域を単結晶または単結晶と見なせる領域で構成する場合に特に有効である。単結晶または単結晶と見なせる領域は、後に実施例で詳細に説明するように、非晶質珪素膜や結晶性を有する珪素膜に対して、線状にビーム加工されたレーザー光を走査しながら照射することによって得ることができる。

【 0 0 1 4 】単結晶または単結晶と見なせる領域は、下記の条件を満たしている領域として定義される。

- ・結晶粒界が実質的に存在していない。
- ・点欠陥を中和するための水素またはハロゲン元素を $1 \times 10^{15} \sim 1 \times 10^{20}$ 原子 cm^{-3} の濃度で含んでいる。
- ・炭素および窒素の原子を $1 \times 10^{16} \sim 5 \times 10^{18}$ 原子 cm^{-3} の濃度で含んでいる。
- ・酸素の原子を $1 \times 10^{17} \sim 5 \times 10^{19}$ 原子 cm^{-3} の濃度で含んでいる。

なお、上記の元素の濃度は、SIMS（2 次イオン分析方法）で計測された計測値の最小値として定義される。

【 0 0 1 5 】

【作用】本明細書で開示する発明においては、半導体装置の特性に大きな影響を及ぼすチャネルに隣接しないように、チャネル部分だけエッチングする。これはゲイト電極が横断する部分にこのような領域が残らないようにエッチングすることと同様である。

【0016】図1には本発明の基本構成を示す。まず、第1の形状として長辺a、短辺bの長方形12の島状非晶質半導体領域11を複数（図では4つ）形成する。本発明では、第1の形状の最も狭い部分の幅は100 μ m以下であることが必要である。それ以上では、光アニールの際の膜の収縮による特性向上の効果が認められないからである。したがって、bは100 μ m以下である。

（図1（A））

【0017】次に、光アニールをおこなう。その結果、島状半導体領域は結晶化すると同時に僅かだが収縮する（図の点線は光アニール前の島状半導体領域の大きさを示す）。新たな島状領域の周辺は14で示される。また、島状半導体領域の周辺部に収縮過程による歪みの蓄積した領域13ができる。（図1（B））

その後、島状半導体領域11の外周部をエッチングし、目的とする素子を形成するための半導体領域15を形成し（図1（C））、ゲイト絶縁膜（図示せず）、ゲイト電極16を形成する。（図1（D））

【0018】歪みの蓄積した領域を全て除去する必要があることを考えれば、図2のような方法も可能である。まず、長方形22の非晶質半導体領域21を形成し（図2（A））、これを光アニールすると、図1の場合と同様に領域は収縮し、周辺部には歪みの蓄積された領域23が形成される。（図2（B））

そして、ゲイト電極を形成する部分の周辺部を含む領域24をエッチングし（図2（C））、ゲイト絶縁膜（図示せず）、ゲイト電極26を形成する。ゲイト電極の下部のチャンネル25には歪みの蓄積した領域が存在しないため、図1の場合と同様に劣化を低減できる。（図2（D））

【0019】本発明においては、光アニールの際の非晶質半導体領域の形状（第1の形状）はできるだけ単純な形状が好ましい。例えば、長方形や正多角形、円、楕円を含む長円形等である。例えば、図4（A）のように中央部に凹部のある形状42を有する半導体領域41に光アニールをおこなうと、膜の収縮の際に、中央の凹部44は上と下に引っ張られるため、当該部分にクラック等が発生しやすい。（図4（B））

【0020】これは、図4（C）に示す（矢印は収縮の方向を示す）ように、膜の収縮が最も広い部分を中心にして発生するためである。したがって、第1の形状としては、くびれのあるようなものではなく、全ての点で凸である、もしくは、いかなる点でも凹でない形状を用いるのがよい。

【0021】そのような観点からは、例えば、第1の形状として図1のような長方形を採用するとしても、長辺aと短辺bの比率があまりに大きなものは好ましくない。本発明では $a/b \leq 10$ とすると良い。

【0022】また、島状の半導体領域を単結晶と見なせる領域、または実質的に単結晶と見なせる領域として構

成した場合、その結晶化の際に島状の半導体領域の周辺部において、やはり歪みが蓄積してしまう。

【0023】この歪みは、やはり島状の半導体領域の周辺部に集中して存在するので、島状の半導体領域の周囲を除去することにより、この歪みの悪影響を抑制することができる。

【0024】

【実施例】

【実施例1】図5を用いて本実施例を説明する。図5には2つの薄膜トランジスタの断面図が描かれているが、左側のものは、薄膜トランジスタをゲイト電極に垂直（図3のa-bに垂直）に切った断面であり、右側のものは、ゲイト電極に平行に（図3のa-bにそって）切った断面である。なお、上方より見た様子は図1を参考にするとよい。

【0025】まず、ガラス基板501上に下地膜として酸化珪素膜502を3000Åの厚さにスパッタ法またはプラズマCVD法によって形成した。次にプラズマCVD法または減圧熱CVD法により非晶質珪素膜503を500Åの厚さに成膜した。そして、非晶質珪素膜に燐をドーピングし、薄膜トランジスタのソース／ドレインとなるN型不純物領域504、505を形成した。

（図5（A））

【0026】次にこの非晶質珪素膜503をエッチングして、島状珪素領域506、507を形成した。（図5（B））

次に、KrFエキシマレーザー光を照射することにより、珪素膜の結晶化をおこなった。この際には、燐の導入された領域504、505も同時に結晶化・活性化される。レーザーのエネルギー密度は150～500mJ/cm²が好ましかった。また、レーザー照射工程を2回以上に分け、それぞれ異なったエネルギーのレーザー光を照射してもよかった。

【0027】本実施例では、最初、エネルギー密度250mJ/cm²のレーザー光を2～10パルス照射し、次に、エネルギー密度400mJ/cm²のレーザー光を2～10パルス照射した。レーザー照射時の基板温度は200℃とした。レーザーの最適なエネルギー密度は、基板温度や非晶質珪素の膜質に依存する。この結果、島状珪素領域506、507の端部に歪みの蓄積された領域508が形成された。（図5（C））

【0028】次に、島状珪素領域の端部509をエッチングし、新たに、島状珪素領域510、511を形成した。この工程でエッチングされた部分は図の点線509で示される。（図5（D））

そして、プラズマCVD法によって、厚さ1200Åの酸化珪素膜512（ゲイト絶縁膜）を形成した。また、その上に、厚さ5000Åのアルミニウム膜（0.3%のスカンジウム（Sc）を含む）をスパッタ法によって堆積し、これをエッチングして、ゲイト電極513、5

14を形成した。(図5(E))

【0029】次に、プラズマCVD法によって厚さ5000Åの酸化珪素膜515(層間絶縁物)を堆積し、これにコンタクトホールを開孔した。そして、スパッタ法によって、厚さ5000Åのアルミニウム膜を堆積し、これをエッチングして、ソース/ドレインの電極・配線516、517を形成した。(図5(F))

以上の工程によって、薄膜トランジスタが完成した。特性を安定させるため、コンタクトホール開孔工程以後に1気圧の水素雰囲気(250~350℃)でアニールする

とよかった。
【0030】〔実施例2〕図6を用いて本実施例を説明する。図5と同様、図6には2つの薄膜トランジスタの断面図が描かれており、左側のものは、薄膜トランジスタをゲイト電極に垂直に切った断面であり、右側のものは、ゲイト電極に平行に切った断面である。なお、上方より見た様子は図2を参考にするとよい。

【0031】まず、ガラス基板601上に下地膜として酸化珪素膜602を3000Åの厚さにスパッタ法またはプラズマCVD法によって形成した。次にプラズマCVD法または減圧熱CVD法により非晶質珪素膜603を500Åの厚さに成膜した。そして、その表面に1~100ppmの酢酸ニッケル(もしくは酢酸コバルト)を含有する水溶液を塗布して、酢酸ニッケル(酢酸コバルト)層604を形成した。酢酸ニッケル(酢酸コバルト)層604は極めて薄いので膜状になっているとは限らない。(図6(A))

【0032】次に、これを350~450℃で2時間、窒素雰囲気中で熱アニールして、酢酸ニッケル(酢酸コバルト)を分解せしめると同時に、ニッケル(もしくはコバルト)を非晶質珪素膜603中に拡散させた。そして、非晶質珪素膜603をエッチングして、島状珪素領域605、606を形成した。(図6(B))

【0033】次に、KrFエキシマレーザー光を照射することにより、光アニールによる珪素膜の結晶化をおこなった。本実施例では、最初、エネルギー密度200mJ/cm²のレーザー光を2~10パルス照射し、次に、エネルギー密度350mJ/cm²のレーザー光を2~10パルス照射した。レーザー照射時の基板温度は200℃とした。

【0034】レーザーの最適なエネルギー密度は、基板温度や非晶質珪素の膜質に加え、添加されたニッケル(コバルト)の濃度にも依存する。本実施例では、2次イオン質量分析(SIMS)法による分析の結果、 $1 \times 10^{18} \sim 5 \times 10^{18}$ 原子/cm³の濃度のニッケル(コバルト)が含有されていることが確認された。このように、結晶化を促進する触媒元素を用いて、光アニールをおこなう方法に関しては、特開平6-318701に開示されている。この結果、島状珪素領域605、606の端部に至みの蓄積された領域607が形成された。

(図6(C))

【0035】次に、島状珪素領域の端部607のうち、ゲイト電極が横断する部分のみをエッチングし、新たに、島状珪素領域を形成した。この工程でエッチングされた部分は図の点線608で示される。(図6(D))そして、プラズマCVD法によって、厚さ1200Åの酸化珪素膜609(ゲイト絶縁膜)を形成した。また、その上に、厚さ5000Åの多結晶珪素膜(1%の燐を含む)を減圧CVD法によって堆積し、これをエッチングして、ゲイト電極610、611を形成した。(図6(E))

【0036】次に、イオンドーピング法によって燐イオンを珪素膜に、ゲイト電極をマスクとして導入した。本実施例では、ドーピングガスとして水素で5%に希釈したフォスフィン(PH₃)を用いた。加速電圧は60~110kVが好ましかった。ドーズ量は $1 \times 10^{14} \sim 5 \times 10^{15}$ 原子/cm²とした。このようにして、N型の不純物領域(=ソース/ドレイン)612、613を形成した。

【0037】ドーピング後は、450℃で4時間の熱アニールをおこなうことにより、不純物を活性化せしめることができた。これは、半導体領域中にニッケル(コバルト)が含有されているためである。(特開平6-267989を参照のこと)

活性化のための熱アニール工程の後、レーザー光等を照射して光アニールを施してもよい。

【0038】上記の工程の後、1気圧の水素雰囲気(250~350℃)でアニールすることにより、ゲイト絶縁膜と半導体領域の界面の不對結合手を中和させた。

(図6(F))

次に、プラズマCVD法によって厚さ5000Åの酸化珪素膜616(層間絶縁物)を堆積し、これにコンタクトホールを開孔した。そして、スパッタ法によって、厚さ5000Åのアルミニウム膜を堆積し、これをエッチングして、ソース/ドレインの電極・配線614、615を形成した。(図6(G))

【0039】〔実施例3〕本実施例は、非晶質珪素膜に対して、珪素の結晶化を助長する金属元素を導入し、さらにレーザー光の照射を行うことにより、実質的に単結晶と見なせる領域を形成し、この実質的に単結晶と見なせる領域を用いて薄膜トランジスタの活性層を構成する場合の例を示す。

【0040】図7に本実施例に示す薄膜トランジスタの一部の工程を示す。まずガラス基板701上に下地膜として酸化珪素膜702をプラズマCVD法またはスパッタ法により、3000Åの厚さに成膜した。次に非晶質珪素膜703を500Åの厚さにプラズマCVD法または減圧熱CVD法で成膜した。

【0041】そして試料を基板ごとスピナー700の上に配置する。この状態で所定のニッケル濃度に調整され

たニッケル酢酸塩溶液を塗布し、水膜704形成した。この状態が図7(A)に示されている。そして、スピナーを用いたスピンドライを行うことにより、不要なニッケル酢酸塩溶液を吹き飛ばし、微量のニッケル元素が非晶質珪素膜の表面に接して保持された状態とした。

【0042】次にパターニングを行うことにより、薄膜トランジスタの活性層705を形成する。この状態においては、活性層705は非晶質珪素膜で構成されている。(図7(B))

【0043】この状態でレーザー光を照射し、非晶質珪素膜でなる活性層705を結晶化させた。ここで用いるレーザー光は線状にビーム加工されたものある。レーザー光の照射は、活性層の一方の辺から対向する辺に向かって、線状レーザーが走査されながら照射されるよう行う。またレーザー光としては、パルス発振のエキシマレーザーを用いることが必要である。ここでは、KrFエキシマレーザー(波長248nm)を用いる。

【0044】このレーザー光の照射は、基板を500℃の温度に加熱しながら行う。これは、レーザー光の照射に従う結晶構造の急激な変化を緩和するためである。この加熱温度は、450℃～ガラス基板の歪み点以下の温度の範囲とすることが好ましい。

【0045】非晶質珪素膜に対して線状のレーザー光が照射されると、レーザー光が照射された領域が瞬間的に溶融する。そして、この線状のレーザー光が走査されて照射されることで、結晶成長が徐々に進行していき、単結晶と見なせる領域を得ることができる。

【0046】即ち、図7(C)に示すように非晶質珪素膜で構成された活性層の一方の端部から線状のレーザー光708が徐々に走査されながら照射されると、707で示されるような単結晶と見なせる領域がレーザー光の照射に伴って成長していき、最終的に活性層全体を単結晶と見なせる状態とすることができる。

【0047】このようにして、単結晶と見なせる珪素薄膜で構成された活性層709が得られた。(図7(D))

【0048】ここで示す単結晶と見なせる領域というのは、その領域中において、以下の条件を満たしていることが必要とである。

- ・結晶粒界が実質的に存在していない。
- ・点欠陥を中和するための水素またはハロゲン元素を $1 \times 10^{15} \sim 1 \times 10^{20}$ 原子 cm^{-3} の濃度で含んでいる。
- ・炭素および窒素の原子を $1 \times 10^{16} \sim 5 \times 10^{18}$ 原子 cm^{-3} の濃度で含んでいる。
- ・酸素の原子を $1 \times 10^{17} \sim 5 \times 10^{19}$ 原子 cm^{-3} の濃度で含んでいる。

【0049】また、本実施例で示すような珪素の結晶化を助長する金属元素を利用している場合には、その膜中に当該金属元素を $1 \times 10^{16} \sim 5 \times 10^{18} \text{cm}^{-3}$ の濃度で含んでいる必要がある。この濃度範囲の意味するとこ

ろは、これ以上の濃度範囲では、金属としての特性が表れてしまい半導体としての特性が得られず、またこの濃度範囲以下では、そもそも珪素の結晶化を助長する作用を得ることができないということである。

【0050】これらのことより分かるように、上記のレーザー光の照射によって得られる単結晶とみなせる珪素膜の領域は、単結晶ウエハーのような一般的な単結晶とは本質的に異なるものである。

【0051】このレーザー光の照射による結晶化の際においても膜の収縮が発生し、その歪みは活性層の周辺部に行くほど蓄積する。即ち、図7(D)の710で示される部分に歪みが集中して蓄積してしまう。

【0052】また、一般に活性層の厚さは、数百Å～数千Å程度である。またその大きさは数 μm 角～数百 μm 角である。即ち、非常に薄い薄膜状の形状を有している。このような薄い薄膜状の状態において、図7(C)に示すような結晶成長が進行すると、その周囲、即ち結晶成長の成長終点付近やそれ以上結晶成長が進行しない領域に歪みが集中して発生してしまう。

【0053】このように主に2つの原因により、活性層の周囲に歪みが集中して存在することになってしまう。活性層中にこのような歪みが集中している領域が存在することは、薄膜トランジスタの動作において悪影響を及ぼす原因ともなるもので、好ましいものではない。

【0054】そこで、本実施例においても、活性層の周囲全周をエッチングする。こうして図7(E)に示すような実質的に単結晶と見なせる領域で構成され、また応力の影響が低減された活性層711を得ることができる。(図7(E))

【0055】活性層を711を得た後、図8(A)に示すように、活性層711を覆ってゲイト絶縁膜712として酸化珪素膜を1000Åの厚さにプラズマCVD法で成膜した。さらにP(リン)を多量にドーピングした多結晶珪素膜を減圧熱CVD法で5000Åの厚さに成膜し、パターニングを施すことにより、ゲイト電極713を形成した。(図8(A))

【0056】次にP(リン)イオンの注入をプラズマドーピング法またはイオン注入法により行い、自己整合的にソース領域714とドレイン領域716を形成した。そしてゲイト電極713がマスクとなることによって不純物イオンが注入されない領域715をチャンネル形成領域として画定した。(図8(B))

【0057】次に層間絶縁膜として酸化珪素膜717をTEOSガスを用いたプラズマCVD法で7000Åの厚さに成膜した。そしてコンタクトホール形成後、チタンとアルミニウムの積層膜を用いて、ソース電極とドレイン電極の形成を行った。また図面では示されないが、ゲイト電極713へのコンタクト電極も同時に形成した。そして最後に350℃の水素雰囲気中において1時間の加熱処理を加えることにより、図8(C)に示す

ような薄膜トランジスタを完成させた。

【0058】このようにして得られた薄膜トランジスタは、活性層が単結晶と見なせるような珪素膜で構成されているので、その電気的な特性もSOI技術等を利用して作製された単結晶珪素膜を用いた薄膜トランジスタに匹敵するものとする事ができる。

【0059】〔実施例4〕本実施例は、実施例3に示した構成において、活性層を構成するべくパターニングされた非晶質珪素膜に対するレーザー光の照射の仕方を工夫し、より結晶化がし易いように工夫した例である。

【0060】図9に示すのは、実施例3に示した工程における活性層に対するレーザー光の照射方法である。この場合、パターニングされた非晶質珪素膜901（後に活性層となるので活性層と呼ぶこととする）の一方の辺に平行に長手方向を有する線状のレーザー光を照射する。そして照射しつつ矢印の方向に走査することによって、活性層901を単結晶と見なせる領域に変成する。

【0061】本実施例に示す方法においては、図10に示すように活性層901の角の部分から結晶成長が進行するように、線状のレーザー光900の走査方向を設定したことを特徴とする。図10で示すレーザー光の照射方法を採用した場合、図11に示すように狭い領域から徐々に広い領域へと結晶成長が進行していくこととなるので、結晶成長がスムーズに進行し易い。そして、図9に示すような状態でレーザー光を照射した場合に比較して、より単結晶と見なせる領域を形成し易く、またその再現性も高いものとする事ができる。

【0062】

【発明の効果】本発明により、光アニールによって結晶化させた半導体膜を用いて作製された絶縁ゲイト型半導体装置の劣化を低減せしめることができた。実施例では珪素半導体を中心に説明したが、同様な効果は他の半導体（例えば、珪素ゲルマニウム合金半導体、硫化亜鉛半導体、炭化珪素半導体他）においても得られる。このように本発明は工業的に価値を有するものである。

【図面の簡単な説明】

【図1】 本発明の作製工程の概念図（上方より見た図）を示す。

【図2】 本発明の作製工程の概念図（上方より見た図）を示す。

【図3】 従来法の作製工程例（上方より見た図と断面）を示す。

【図4】 光アニール時に薄膜半導体に加わる力について示す。

【図5】 実施例1の作製工程断面図を示す。

【図6】 実施例2の作製工程断面図を示す。

【図7】 実施例2の作製工程断面図を示す。

【図8】 実施例2の作製工程断面図を示す。

【図9】 活性層（島上の半導体領域）に対する線状のレーザー光の照射の状態を示す上面図。

【図10】 活性層（島上の半導体領域）に対する線状のレーザー光の照射の状態を示す上面図。

【図11】 活性層（島上の半導体領域）に対する線状のレーザー光の照射に従う結晶化の様子を示す。

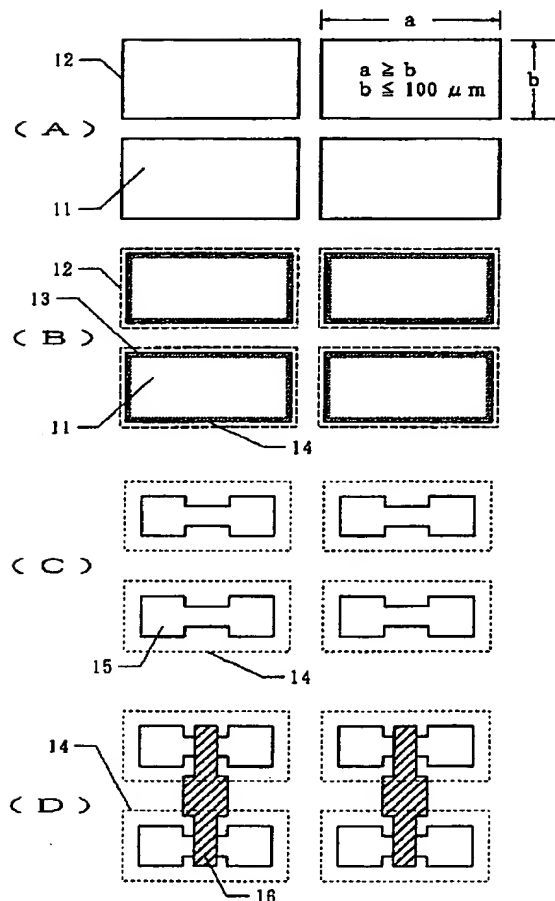
【符号の説明】

1 1	島状半導体領域
1 2	光アニール前の島状半導体領域の外周
1 3	光アニールによって歪みの蓄積した領域
1 4	光アニール後の島状半導体領域の外周
1 5	半導体素子を構成するための半導体領域
1 6	ゲイト電極
2 1	島状半導体領域
2 2	光アニール前の島状半導体領域の外周
2 3	光アニールによって歪みの蓄積した領域
2 4	光アニール後にエッチングした領域
2 5	半導体素子のチャネル
2 6	ゲイト電極
3 1	島状半導体領域
3 2	光アニール前の島状半導体領域の外周
3 3	光アニールによって歪みの蓄積した領域
3 4	ゲイト電極
3 5	ゲイト絶縁膜
4 1	島状半導体領域
4 2	光アニール前の島状半導体領域の外周
4 3	光アニールによって歪みの蓄積した領域
5 0 1	ガラス基板
5 0 2	下地膜（酸化珪素）
5 0 3	非晶質珪素膜
5 0 4、5 0 5	N型不純物領域
5 0 6、5 0 7	島状半導体領域
5 0 8	歪みの蓄積された領域
5 0 9	エッチングした部分
5 1 0、5 1 1	島状半導体領域
5 1 2	ゲイト絶縁膜（酸化珪素）
5 1 3、5 1 4	ゲイト電極（アルミニウム）
5 1 5	層間絶縁膜（酸化珪素）
5 1 6、5 1 7	ソース／ドレイン電極・配線（アルミニウム）
6 0 1	ガラス基板
6 0 2	下地膜（酸化珪素）

13

6 0 3	非晶質珪素膜	
6 0 4	酢酸ニッケル (もしくはコバルト)	
層		
6 0 5、6 0 6	島状半導体領域	
6 0 7	歪みの蓄積された領域	
6 0 8	エッチングした部分	
6 0 9	ゲート絶縁膜 (酸化珪素)	
6 1 0、6 1 1	ゲート電極 (多結晶珪素)	
6 1 2、6 1 3	ソース/ドレイン	
6 1 4、6 1 5	ソース/ドレイン電極・配線 (アルミニウム)	10
6 1 4	層間絶縁物 (酸化珪素)	
7 0 1	ガラス基板	
7 0 2	下地膜 (酸化珪素膜)	
7 0 3	非晶質珪素膜	
7 0 4	ニッケル酢酸塩溶液の水膜	

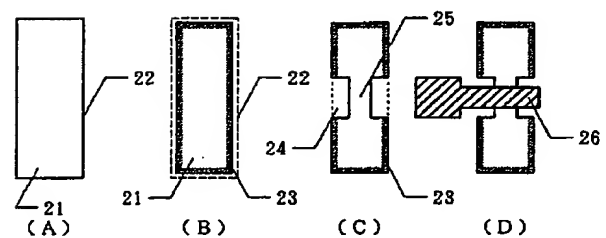
【図 1】



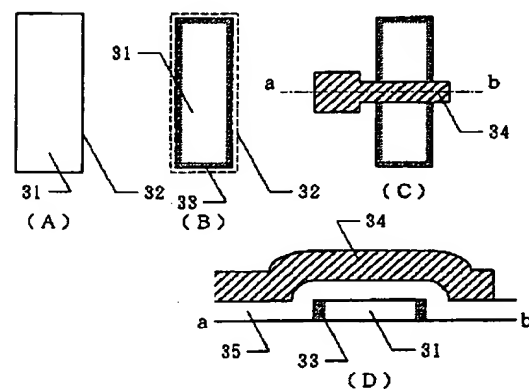
14

7 0 5	活性層 (島状の半導体領域)	
7 0 7	結晶化された領域	
7 0 8	レーザー光	
7 0 9	結晶化された活性層	
7 1 0	歪みの集中した領域	
7 1 1	活性層 (島状の半導体領域)	
7 1 2	ゲート絶縁膜 (酸化珪素膜)	
7 1 3	ゲート電極	
7 1 4	ソース領域	
7 1 5	チャンネル形成領域	
7 1 6	ドレイン領域	
7 1 7	層間絶縁膜 (酸化珪素膜)	
7 1 8	ソース電極	
7 1 9	ドレイン電極	
9 0 1	活性層 (島状の半導体領域)	
9 0 0	線状のレーザービーム	

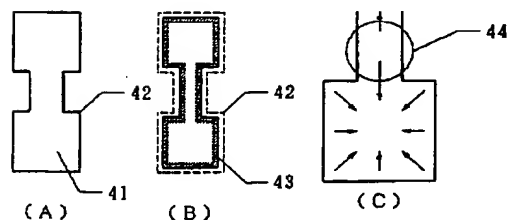
【図 2】



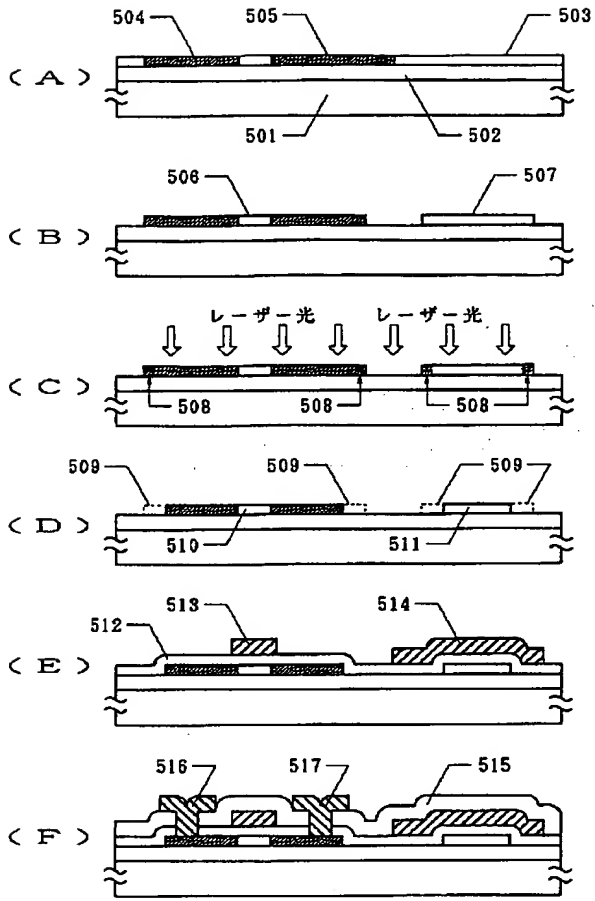
【図 3】



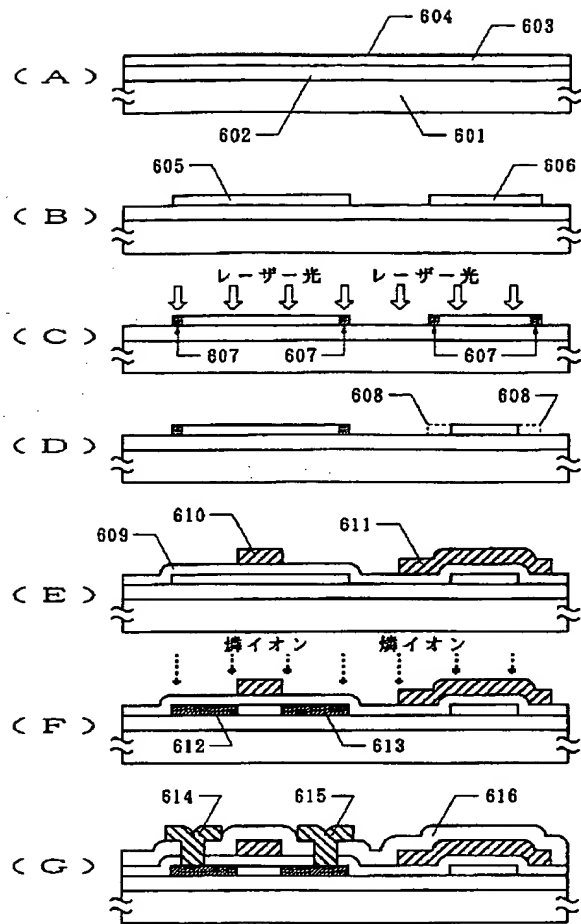
【図 4】



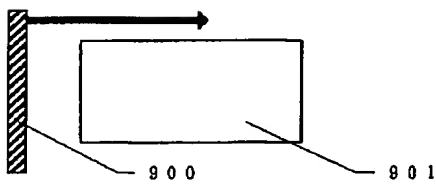
【図 5】



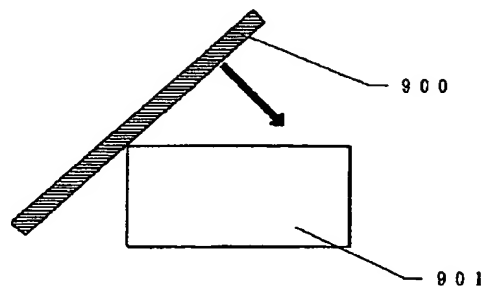
【図 6】



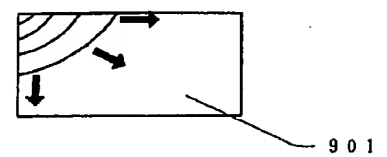
【図 9】



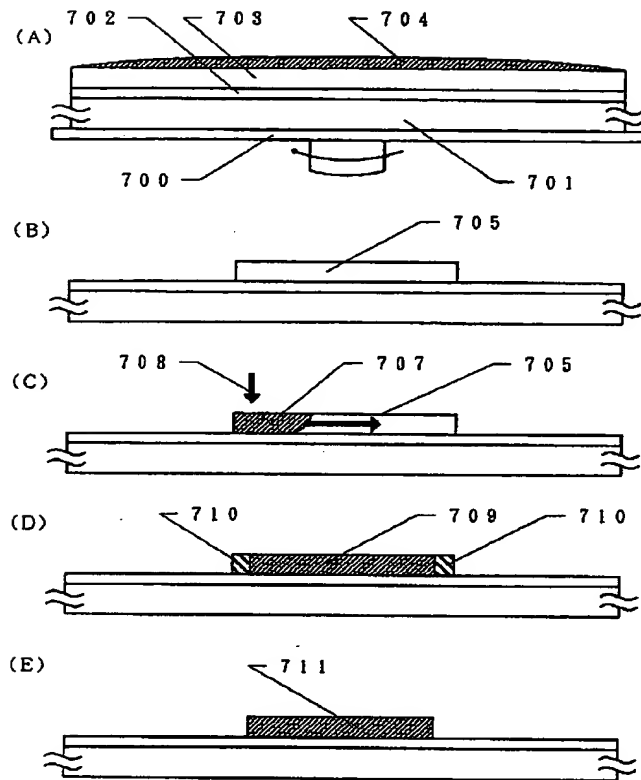
【図 10】



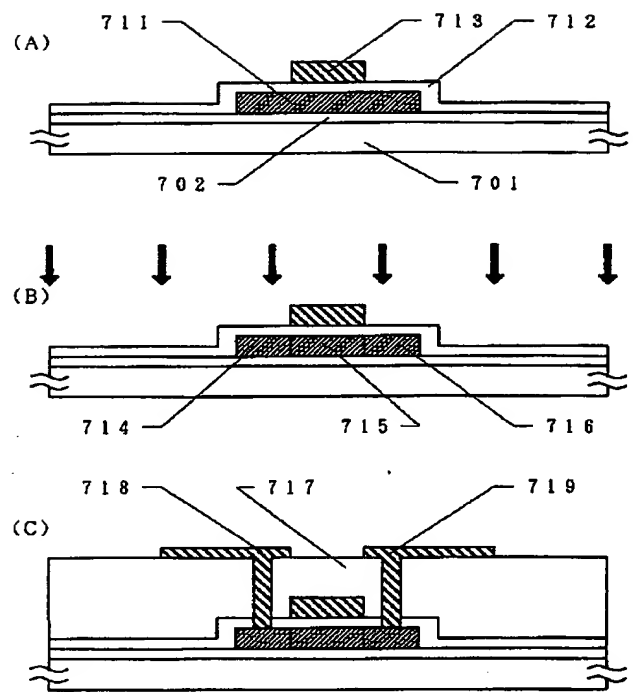
【図 11】



【図 7】



【図 8】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.